

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-189021

(43)Date of publication of application : 25.07.1990

(51)Int.Cl.

H03K 17/22

H03K 17/16

H03K 19/003

(21)Application number : 01-009053 (71)Applicant : NEC CORP

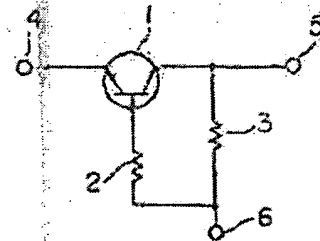
(22)Date of filing : 18.01.1989 (72)Inventor : HAYASHI KENJI
MORIYA TOMOHIRO

(54) CONTROL CIRCUIT

(57)Abstract:

PURPOSE: To prevent flowing in of a current from an input terminal and to prevent the adverse effect on other circuit by bringing a switch section in an open state when no power supply is turned on.

CONSTITUTION: When a power supply is turned off and no voltage is applied to a power terminal 6, that is, the power terminal 6 is at '0' volt or opened, since the base of a transistor(TR) 1 is connected to the power terminal 6 via a resistor 2, '0' volt or open state is caused to the TR 1. Thus, the TR 1 is cut off and the emitter and collector of the TR 1 are cut off. As a result, an output terminal 5 connected to the collector of the TR 1 is opened independently of the state of an input terminal 4 connected to the emitter. Thus, even if the voltage at the input terminal 4 is changed, no current flows to the input terminal 4.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted

BEST AVAILABLE COPY

registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

⑫ 公開特許公報(A)

平2-189021

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)7月25日

H 03 K 17/22
17/16
19/003B 8124-5 J
B 8124-5 J
B 8941-5 J

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 制御回路

⑯ 特 願 平1-9053

⑰ 出 願 平1(1989)1月18日

⑱ 発 明 者 林 健 司 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑲ 発 明 者 森 谷 朋 弘 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号
 ㉑ 代 理 人 弁理士 岩佐 義幸

明 細 書

1. 発明の名称

制御回路

2. 特許請求の範囲

(1) 電源の投入状態に基づき、パルスの出力を制御する制御回路において、

電源が投入されるとバイアスを出力するバイアス部と、

制御端子と、入力及び出力端子とを備え、前記バイアス部から前記制御端子にバイアスが与えられないとき、前記出力端子をオープン状態にし、バイアスが与えられているとき、前記入力端子に入力パルスが入力されると、この入力パルスに対応するパルスを前記出力端子から出力するスイッチング部とを有することを特徴とする制御回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、ロジック回路に使用される制御回路に関する。

(従来の技術)

ロジック回路には、CMOS(Complementary Metal Oxide Semiconductor) IC(Integrated Circuit)で構成されているものがある。このようなロジック回路において、ドライバ側の回路とレシーバ側の回路との電源供給系統が別々となっている場合がある。このようなドライバ側の回路とレシーバ側の回路との接続の一例を第2図に示す。

第2図において、ドライバ21が、入力端子24を介してレシーバ23と接続されている。レシーバ23は、ドライバ21側の電源供給系統と別の系統から、電源端子26を経由して、電源の供給を受けている。また、電源端子26と入力端子24の間には、抵抗器22が接続されている。レシーバ23は、出力端子25を介して、他の回路と接続されている。

(発明が解決しようとする課題)

上述したように、ドライバ21側の回路とレシーバ23側の回路との電源供給系統が別々の場合、レシーバ23側の電源がオフであっても、入力端子24から流入する電流*i*によって、レシーバ23側の電源が完全に0ボルトにならないという欠点がある。

〔実施例〕

さらに、電源をオフにしても電源電圧が0ボルトにならないと、それに接続されている回路すなわちレシーバ23が完全に停止せず、この回路の出力端子25の状態が不定になり、出力端子25に接続されている相手の回路が誤動作する欠点がある。

本発明の目的は、このような欠点を除去するために、電源投入の有無によりロジック回路の断続を行う制御回路を提供することにある。

〔課題を解決するための手段〕

本発明は、電源の投入状態に基づき、パルスの出力を制御する制御回路において、

電源が投入されるとバイアスを出力するバイアス部と、

制御端子と、入力及び出力端子とを備え、前記バイアス部から前記制御端子にバイアスが与えられないとき、前記出力端子をオープン状態にし、バイアスが与えられているとき、前記入力端子に入力パルスが入力されると、この入力パルスに対応するパルスを前記出力端子から出力するスイッチング部とを有することを特徴としている。

次に、本実施例の動作について説明する。

本実施例への電源がオフとなっており、電源端子6に電圧が加わっていない場合、すなわち電源端子6が0ボルトまたはオープンの場合、トランジスタ1のベースは、抵抗器2を介してこの電源端子6に接続されているので、0ボルトまたはオープンとなる。従って、トランジスタ1はカットオフ状態になり、トランジスタ1のエミッタとコレクタ間はオフ状態となる。この結果、トランジスタ1のコレクタに接続されている出力端子5は、エミッタに接続されている入力端子4の状態に関係なく、オープン状態となる。

これにより、入力端子4の電圧が変化しても、入力端子4に電流が流入することはない。

次に、電源がオンとなって、電源端子6に+5ボルトの電圧が加わった場合、入力端子4の電圧が0ボルトのとき、トランジスタ1のエミッタも0ボルトとなる。従って、電源端子6から、抵抗器2→トランジスタ1のベース→トランジスタ1のエミッタを経由して、電流が流れる。すなわち、

次に、本発明の実施例について、図面を参照して説明する。

第1図は、本発明の一実施例を示す回路図である。この制御回路は、トランジスタ1と、抵抗器2、3とで構成されている。

このような構成の制御回路において、トランジスタ1は、オン、オフ用のNPN形のトランジスタである。トランジスタ1のエミッタが入力端子4に接続されており、コレクタが出力端子5に接続されている。なお、入力端子4には、ドライバ側の回路が接続されている。このドライバ側の回路の電源供給系統は、本実施例の電源供給系統と別々となっている。

抵抗器2は、トランジスタ1のバイアス用であり、トランジスタ1のベースと、電源端子6との間に接続されている。

抵抗器3は、ブルアップ用であり、トランジスタ1のコレクタと電源端子6との間に接続されている。

トランジスタ1のベース・エミッタ間にバイアスが加わり、トランジスタ1はオン状態となる。この結果、トランジスタ1のコレクタも0ボルトとなり、出力端子5の電圧は、入力端子4と同じ0ボルトになる。

また、電源端子6に+5ボルトの電圧が加わった場合、入力端子4の電圧が+5ボルトのとき、トランジスタ1のエミッタも+5ボルトとなる。従って、トランジスタ1のベース・エミッタ間にはバイアスが加からないため、トランジスタ1はカットオフ状態となる。この結果、ブルアップ用の抵抗器3により、出力端子5の電圧は、+5ボルトになる。

これにより、トランジスタ1のエミッタを入力端子として、これに加わるパルスを、ベースバイアスの有無により制御し、コレクタに出力できる。

第 1 表

入力端子 4	電源端子 6	出力端子 5
0 ボルト	0 ボルトまたは オープン	オープン
+ 5 ボルト	0 ボルトまたは オープン	オープン
0 ボルト	+ 5 ボルト	0 ボルト
+ 5 ボルト	+ 5 ボルト	+ 5 ボルト

このようにして本実施例において、第 1 表に示されるように、電源がオフとなり、電源端子 6 の電圧が 0 ボルトまたはオープンになると、入力端子 4 の電圧が 0 ボルトまたは + 5 ボルトとなっても、出力端子 5 は常にオープン状態となっている。すなわち、電源端子 6 に電圧が加わらない場合は、入力端子 4 から電流が流入することはなく、出力端子 5、及び電源端子 6 に接続される他の回路へ悪影響を与えない。

さらに、電源がオンとなり、電源端子 6 の電圧

が + 5 ボルトとなった場合、入力端子 4 の電圧が 0 ボルトのとき、出力端子 5 の電圧が 0 ボルトとなる。また、入力端子 4 の電圧が + 5 ボルトのとき、出力端子 5 の電圧も + 5 ボルトとなる。すなわち、入力端子 4 の変化を、出力端子 5 に伝えることができる。

(発明の効果)

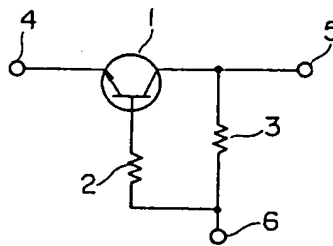
以上説明したように本発明は、電源が投入されない場合、スイッチ部がオープン状態となるので、入力端子から電流が流入することはなく、他の回路への悪影響を防止できる効果がある。

4. 図面の簡単な説明

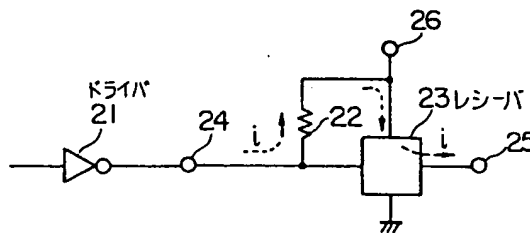
第 1 図は、本発明の一実施例を示す回路図、

第 2 図は、ドライバ側の回路とレシーバ側の回路との接続の一例を示す図である。

- 1 トランジスタ
- 2, 3 抵抗器
- 4 入力端子
- 5 出力端子
- 6 電源端子



第 1 図



第 2 図